



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 102 20 923 A 1**

⑤1 Int. Cl. 7:  
**H 01 L 27/115**  
H 01 L 21/8247

②1 Aktenzeichen: 102 20 923.5  
②2 Anmeldetag: 10. 5. 2002  
④3 Offenlegungstag: 27. 11. 2003

⑦1 Anmelder:  
Infineon Technologies AG, 81669 München, DE  
  
⑦4 Vertreter:  
Epping Hermann Fischer,  
Patentanwalts-gesellschaft mbH, 80339 München

⑦2 Erfinder:  
Specht, Michael, Dr., 80799 München, DE;  
Hofmann, Franz, Dr., 80995 München, DE; Landgraf,  
Erhard, 81543 München, DE; Rösner, Wolfgang, Dr.,  
85521 Ottobrunn, DE; Staedele, Martin, Dr., 85521  
Ottobrunn, DE

⑤6 Entgegenhaltungen:

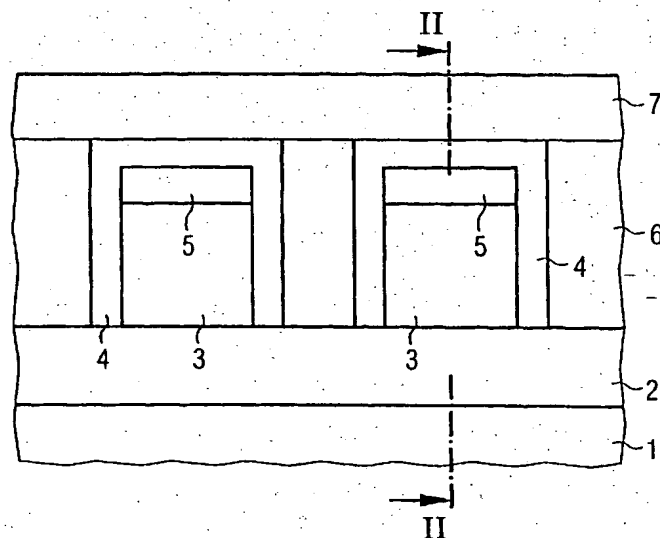
US 62 88 431 B1  
US 62 01 277 B1  
JP 05-3 43 681 A  
JP 05-3 43 680 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Nicht-flüchtiger Flash-Halbleiterspeicher und Herstellungsverfahren

⑤7 Bei dem Halbleiterspeicher sind eine Vielzahl von Fin-FET-Anordnungen mit Trapping-Layer (5) oder Floating-Gate-Elektroden als Speichermedium auf einer Oberseite einer Rippe (3) aus Halbleitermaterial vorhanden. Das Material der Gate-Elektroden (4) ist auch auf den beiden Seitenwänden der Rippen zur Ausbildung von Seitenwandtransistoren vorhanden und bildet zwischen den Gate-Elektroden Anteile einer zu der betreffenden Rippe gehörenden Wortleitung.



DE 102 20 923 A 1

[0001] Beim Verkleinern der Floating-Gate-Speichertransistoren auf Abmessungen unter 100 nm verschlechtern sich die Eigenschaften des Transistors, da nicht alle Abmessungen im selben Maßstab verkleinert werden können. Der Grund dafür ist, dass das Gate-Dielektrikum eine gewisse Mindestdicke aufweisen muss, um zu gewährleisten, dass Daten über einen Zeitraum von mindestens zehn Jahren gespeichert werden können.

[0002] In der Veröffentlichung von Y.-K. Choi et al.: "Sub-20 nm CMOS FinFET Technologies", International Electron Device Meeting (IEDM) 2001 ist ein FinFET mit doppeltem Gate beschrieben. Ein FinFET umfasst eine Rippe oder einen schmalen Steg aus Halbleitermaterial, der einen Source-Bereich und einen Drain-Bereich miteinander verbindet, als Kanalbereich vorgesehen ist und mit einer in einer Querrichtung brückenartig übergreifenden, stegförmigen Gate-Elektrode versehen ist.

[0003] Aufgabe der vorliegenden Erfindung ist es, einen kostengünstig herstellbaren nicht-flüchtigen Flash-Halbleiterspeicher mit möglichst hoher Speicherdichte anzugeben. Außerdem soll ein zugehöriges Herstellungsverfahren angegeben werden.

[0004] Diese Aufgabe wird mit dem Halbleiterspeicher mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

[0005] Der Halbleiterspeicher weist eine zeilenweise und spaltenweise Anordnung von Bitleitungen und Wortleitungen auf, wobei an einem jeweiligen Kreuzungspunkt einer Bitleitung mit einer Wortleitung jeweils eine Speicherzelle angeordnet ist. Die Bitleitungen sind mit leitfähig dotierten Source-/Drain-Bereichen in einer jeweiligen Rippe aus Halbleitermaterial verbunden, wobei zwischen zwei solchen Source-Drain-Bereichen, die in der Richtung der Wortleitungen zueinander benachbart sind, jeweils ein Kanalbereich vorhanden ist.

[0006] Der Kanalbereich ist mittels einer an eine Wortleitung angeschlossenen Gate-Elektrode ansteuerbar, die von dem Kanalbereich durch ein Gate-Dielektrikum elektrisch isoliert ist. Zwischen der Gate-Elektrode und dem Halbleitermaterial der Rippe befindet sich auf der Oberseite der Rippe eine Speicherschicht, insbesondere eine leitfähige Floating-Gate-Elektrode oder eine Oxid-Nitrid-Oxid-Schicht (Trapping-Layer), die für ein Programmieren der Speicherzelle durch Injektion heißer Elektronen aus dem Kanal und für ein Löschen der Speicherzelle durch Injektion heißer Löcher aus dem Kanal vorgesehen ist.

[0007] Bei dem Halbleiterspeicher sind eine Vielzahl von FinFET-Anordnungen mit Trapping-Layer oder Floating-Gate-Elektroden als Speichermedium auf einer Oberseite einer Rippe aus Halbleitermaterial vorhanden. Das Material der Gate-Elektroden, die gegebenenfalls als Control-Gate-Elektroden vorgesehen sind, ist auch auf den beiden Seitenwänden der Rippen zur Ausbildung von Seitenwandtransistoren vorhanden und bildet zwischen den Gate-Elektroden Anteile einer zu der betreffenden Rippe gehörenden Wortleitung.

[0008] Zum Auslesen der einzelnen Speicherzellen dienen bevorzugt die beiden Seitenwandtransistoren und zusätzlich der Kanal unter dem Speichermedium (Toptransistor). In Abhängigkeit vom elektrischen Potential des Speichermediums verschiebt sich die Einsatzspannung des Seitenwand- und Toptransistors. Damit ist ein Auslesen des Speicherinhalts durch Verwendung des Seitenwand-FinFET-Transistors mit hohem Lesestrom und geringen anzulegenden Spannungen möglich, im Gegensatz zum konventionellen Floating-Gate-Transistor. In dem Speichermedium können

sowohl sourceseitig als auch drainseitig Ladungsträger gespeichert werden, so dass pro Speichertransistor zwei Bits gespeichert werden können. So lässt sich eine Speicherdichte von  $2F^2$  pro Bit erreichen. Das Programmieren erfolgt beispielsweise durch Einfangen heißer Elektronen aus dem Kanal (CHE, channel hot electrons). Der Speicher kann als einmal programmierbarer Speicher oder als wiederprogrammierbarer Speicher ausgestaltet werden.

[0009] Es folgt eine genauere Beschreibung eines Beispiels des Halbleiterspeichers sowie eines zugehörigen Herstellungsverfahrens anhand der Fig. 1 bis 8.

[0010] Fig. 1 zeigt einen Schnitt durch den Halbleiterspeicher zwischen zwei Bitleitungen parallel zu den Bitleitungen.

[0011] Fig. 2 zeigt einen Schnitt durch den Halbleiterspeicher parallel zu einer Wortleitung.

[0012] Fig. 3 zeigt eine schematische Aufsicht auf den Halbleiterspeicher.

[0013] Die Fig. 4 und 5 zeigen Querschnitte durch Zwischenprodukte eines Herstellungsverfahrens des Speichers parallel zu den Bitleitungen zwischen zwei Bitleitungen.

[0014] Die Fig. 6 bis 8 zeigen Zwischenprodukte eines Herstellungsverfahrens des Halbleiterspeichers längs einer Bitleitung.

[0015] Die Fig. 1 zeigt einen Querschnitt durch den Halbleiterspeicher parallel zu den Bitleitungen zwischen zwei Bitleitungen und quer zu den Wortleitungen. Der Halbleiterspeicher ist vorzugsweise auf einem SOI-Substrat (Silicon On Insulator) hergestellt. Eine dicke Bulk-Siliziumschicht 1 ist mit einer dünnen Isolationsschicht 2 versehen, auf der sich die für die Bauelemente vorgesehene dünne Body-Siliziumschicht befindet.

[0016] Diese Body-Siliziumschicht ist bei dem Halbleiterspeicher in einzelne Rippen 3 oder Stege strukturiert, von denen eine Mehrzahl nebeneinander und parallel zueinander ausgerichtet vorhanden ist.

[0017] Die Rippen oder Stege werden von Gate-Elektroden 4 brückenartig überspannt. Zwischen den Rippen und den Gate-Elektroden befindet sich ein dünnes Dielektrikum als Gate-Dielektrikum (Gate-Oxid), das nicht eigens eingezeichnet ist. Zwischen der Oberseite der Rippen 3 und den Gate-Elektroden 4 befindet sich eine Speicherschicht 5. Diese Speicherschicht kann z. B. eine Schichtfolge zum Einfangen heißer Elektronen aus dem Kanalbereich sein (Trapping-Layer). Dafür kommt insbesondere eine ONO-Schicht (Oxid-Nitrid-Oxid-Schicht) in Frage. Statt dessen kann auch eine Floating-Gate-Elektrode als Speichermedium vorgesehen sein, die sowohl von dem Halbleitermaterial der Rippen 3 als auch von der Gate-Elektrode 4 ringsum durch isolierendes Material elektrisch isoliert ist. Derartige Speichermedien sowie ein Programmier- und Löschvorgang sind von anderen Halbleiterspeichern an sich bekannt.

[0018] Zwischen den einzelnen Rippen befindet sich ein Dielektrikum 6, das z. B. ein Nitrid, hier Siliziumnitrid, sein kann. Die Gate-Elektrode kann ein Metall sein oder vorzugsweise Polysilizium, das geeignet leitfähig dotiert ist. Auf der Oberseite ist eine elektrisch isolierende Schicht 7 vorhanden, für die beispielsweise TEOS (Tetraethylorthosilikat) verwendet werden kann. Die Herstellung derartiger Schichten ist ebenfalls an sich bekannt.

[0019] Die Fig. 2 zeigt einen Querschnitt durch den Halbleiterspeicher parallel zu einer Wortleitung. Die Rippe 3 verläuft in diesem Querschnitt parallel zu der Zeichenebene. In der Rippe 3 sind dotierte Bereiche als Source-/Drain-Bereiche 8 ausgebildet. Die Bitleitungen 9 sind, vorzugsweise durch eine dünne Barrierschicht 10 von dem Halbleitermaterial getrennt, auf den dotierten Bereichen aufgebracht. Die Bitleitungen sind z. B. Wolfram. Zur elektrischen Isolation

der Bitleitungen 9 von den Gate-Elektroden 4 sind Distanzelemente (Spacer) 11, vorzugsweise aus Nitrid oder SiO<sub>2</sub>, an den Seiten der Bitleitungen 9 angeordnet.

[0020] Die Fig. 3 zeigt die Anordnung der Wortleitungen WL1, WL2, ... und der Bitleitungen BL0, BL1, BL2, ... in einer schematisierten Aufsicht. In der Fig. 3 sind auch die Lagen der Querschnitte gemäß den Fig. 1 und 2 bezeichnet. Die Rippen 3 aus Halbleitermaterial sind als verdeckte Konturen gestrichelt eingezeichnet. Die in regelmäßigen Abständen zueinander angeordneten Source-/Drain-Bereiche 8 sind deutlich hervorgehoben. Zwischen den Bitleitungen sind die Wortleitungen zu den Gate-Elektroden 4 ausgebildet. Die Struktur der Wortleitungen im Bereich der Bitleitungen wird weiter unten beschrieben. Die Wortleitungen verfügen durchgehend über Anteile an den Seitenwänden der Rippen 3.

[0021] Die Fig. 4 zeigt einen Querschnitt gemäß der Fig. 1 durch ein Zwischenprodukt eines bevorzugten Herstellungsverfahrens. Ausgehend von einem SOI-Substrat mit einer Bulk-Siliziumschicht 1 und einer Isolationsschicht 2 mit einer darauf aufgetragenen Body-Siliziumschicht werden auf deren Oberseite eine Nitridschicht 12 und eine Polysiliziumschicht 13 abgeschieden. Mittels einer Fotomaskentechnik werden die Schichten gemäß dem Querschnitt der Fig. 4 zu parallel zueinander ausgerichteten Rippen 3 geätzt. Reste der Lackmaske werden entfernt. Die Rippen werden jeweils von einer Polysiliziumschicht auf drei Seiten ummantelt, wobei die Polysiliziumschichten benachbarter Wortleitungen mittels einer Spacerätzung voneinander getrennt werden. Die Polysiliziumschicht 13 in der Fig. 4 dient dazu, im Bereich zwischen zwei Bitleitungen die Polysiliziumschichten auf den beiden Flanken je einer Rippe miteinander zu verbinden.

[0022] Die Speicherschicht 5, die elektrisch isoliert oder einen elektrisch isolierenden Anteil aufweist, fungiert zusätzlich als Gate-Dielektrikum. An den Enden der Rippen 3 werden die Gate-Elektroden aufgetrennt, um die Wortleitungen voneinander zu separieren. Die Zwischenräume zwischen den Rippen werden mit einem elektrisch isolierenden Dielektrikum 6, vorzugsweise Siliziumnitrid, aufgefüllt. Nachdem auf der Oberseite der Rippen 3 aufgetragenes dielektrisches Material entfernt wurde, wird eine isolierende Schicht 7 hergestellt, vorzugsweise TEOS.

[0023] In der Fig. 6 ist ein Zwischenprodukt des Herstellungsverfahrens in einem Schnitt längs einer Bitleitung dargestellt. Das Material der Gate-Elektroden 4 wird nach dem Aufbringen der isolierenden Schicht 7 gemäß Fig. 5 in diesem Bereich bis auf die in der Fig. 6 dargestellten Anteile rückgeätzt. Das geschieht mittels einer geeigneten Fotomaskentechnik, mit der die Bereiche zwischen den vorgesehenen Bitleitungen abgedeckt werden, so dass nur die zu entfernenden Anteile der betreffenden Schichten (TEOS, Polysilizium) geeignet rückgeätzt werden.

[0024] In den betreffenden Bereichen werden gemäß der Fig. 7 die entstehenden Löcher über den die Wortleitungen bildenden restlichen Anteilen des Materials der Gate-Elektroden 4 mit elektrisch isolierendem Material 14 aufgefüllt und planarisiert. Das isolierende Material 14 wird an den Rändern der Gate-Elektroden zwischen den Source-/Drain-Bereichen durch eine Spacer-Ätzung zu seitlichen Abdeckungen des leitfähigen Materials der Gate-Elektroden 4 rückgeätzt. Damit wird die Speicherschicht 5 zur Seite hin geschützt, und Kurzschlüsse zur Wortleitung werden vermieden.

[0025] Gemäß der Darstellung in Fig. 8 werden in den Bereichen längs der vorgesehenen Bitleitungen nach dem Einbringen der Implantationen für Source und Drain (n+-Implantation) auf der Oberseite des Halbleitermaterials das für

die Bitleitung vorgesehene Material aufgebracht. Vorzugsweise wird zunächst noch eine Diffusionsbarriere 10 vorgesehen, auf die die Bitleitungen 9, z. B. aus Wolfram, aufgebracht werden und die das Ausdiffundieren des Metalls in das Halbleitermaterial verhindert. Die Bitleitungen werden streifenförmig parallel zueinander strukturiert. Die Oberfläche kann durch CMP (Chemical Mechanical Polishing) planarisiert werden.

[0026] Das Auslesen dieser Speicherzellen erfolgt über die beiden Transistoren an den Seitenwänden der Rippen und den Transistor unter dem Speichermedium. Die Gate-Elektroden 4 sind ja im Bereich zwischen den Bitleitungen jeweils oberhalb und seitlich der Rippen ausgebildet, so dass sie die Rippen brückenartig überspannen. Die Seitenwandtransistoren besitzen hohe On-Ströme, ein Gate-Dielektrikum geeigneter äquivalenter Oxiddicke vorausgesetzt. Die Speicherschicht beeinflusst aufgrund der Seiten-Gate-Wirkung den On-Strom des FinFETs durch zumindest teilweise Verschiebung der Schwellspannung. Vorteile sind:

- a) geringe Herstellungskosten durch einfachen Herstellungsprozess,
- b) höherer Lesestrom bei niedrigen Spannungen,
- c) Prozesskompatibilität mit herkömmlichen FinFET-Transistoren und
- d) hohe Speicherdichte von  $2F^2$  pro Bit möglich.

[0027] Damit ist bei Verwendung des Halbleiterspeichers als OTP (One-Time Programmable) ein erheblicher Flächengewinn im Bereich vorgesehener Ladungspumpen bei einmaliger 6 V-Programmierspannung möglich. Die Seitenwandtransistoren sind hier als Lesetransistoren vorgesehen, während der Anteil der Gate-Elektroden und die Speicherschicht auf der Oberseite der Rippen vor allem für den Speichervorgang vorgesehen sind. Hieraus ergibt sich ein höherer Lesestrom bei geringeren Spannungen und eine kleinere Lesezeit als bei konventionellen Speichern.

#### Bezugszeichenliste

- 1 Bulk-Siliziumschicht
- 2 Isolationsschicht
- 3 Rippe
- 4 Gate-Elektrode
- 5 Speicherschicht
- 6 Dielektrikum
- 7 isolierende Schicht
- 8 Source-/Drain-Bereich
- 9 Bitleitung
- 10 Barriereschicht
- 11 Distanzelement
- 12 Nitridschicht
- 13 Polysiliziumschicht
- 14 elektrisch isolierendes Material
- BL Bitleitung
- WL Wortleitung

#### Patentansprüche

1. Halbleiterspeicher mit einer zeilenweisen und spaltenweisen Anordnung von Bitleitungen (BL) und Wortleitungen (WL), wobei
  - an einem Kreuzungspunkt einer Bitleitung mit einer Wortleitung jeweils eine Speicherzelle angeordnet ist,
  - die Bitleitungen mit leitfähig dotierten Source-/Drain-Bereichen (8) in Halbleitermaterial verbunden sind,

- zwischen zwei solchen Source-/Drain-Bereichen (8), die in der Richtung der Wortleitungen in einem Abstand zueinander aufeinander folgen, jeweils ein Kanalbereich vorhanden ist, der mittels einer an eine Wortleitung angeschlossenen Gate-Elektrode (4), die von dem Kanalbereich elektrisch isoliert ist, ansteuerbar ist,
- zwischen der Gate-Elektrode (4) und dem Halbleitermaterial eine Speicherschicht (5) vorhanden ist, die für ein Programmieren der Speicherzelle vorgesehen ist,

dadurch gekennzeichnet, dass

die Source-/Drain-Bereiche (8) in Rippen (3) aus Halbleitermaterial ausgebildet sind, die parallel zueinander im Abstand zueinander angeordnet sind, die jeweilige Speicherschicht (5) auf einer Oberseite einer Rippe (3) vorhanden ist, die Gate-Elektrode (4) jeweils auf der Oberseite und auf Seitenwänden der Rippe (3) angeordnet ist und die Wortleitungen durch auf die Seitenwände der Rippe (3) aufgebrachte Anteile des Materials der Gate-Elektroden (4) ausgebildet sind und längs der Rippe (3) aufeinander folgende Gate-Elektroden (4) elektrisch leitend miteinander verbinden.

2. Halbleiterspeicher nach Anspruch 1, bei dem die Speicherschicht (5) eine Oxid-Nitrid-Oxid-Schichtfolge ist.

3. Halbleiterspeicher nach Anspruch 1, bei dem die Speicherschicht (5) eine Floating-Gate-Elektrode ist, die sowohl von dem Halbleitermaterial der Rippe (3) als auch von der Gate-Elektrode (4) ringsum durch isolierendes Material elektrisch isoliert ist.

4. Halbleiterspeicher nach einem der Ansprüche 1 bis 3, bei dem die Rippen (3) als streifenförmige Anteile einer Body-Siliziumschicht eines SOI-Substrates ausgebildet sind.

5. Verfahren zur Herstellung eines Halbleiterspeichers mit einer zeilenweisen und spaltenweisen Anordnung von Bitleitungen (BL) und Wortleitungen (WL), wobei

- an einem Kreuzungspunkt einer Bitleitung mit einer Wortleitung jeweils eine Speicherzelle angeordnet ist,

- die Bitleitungen mit leitfähig dotierten Source-/Drain-Bereichen (8) in Halbleitermaterial verbunden sind,

- zwischen zwei solchen Source-/Drain-Bereichen (8), die in der Richtung der Wortleitungen in einem Abstand zueinander aufeinander folgen, jeweils ein Kanalbereich vorhanden ist, der mittels einer an eine Wortleitung angeschlossenen Gate-Elektrode (4), die von dem Kanalbereich elektrisch isoliert ist, ansteuerbar ist,

- zwischen der Gate-Elektrode (4) und dem Halbleitermaterial eine Speicherschicht (5) vorhanden ist, die für ein Programmieren der Speicherzelle vorgesehen ist,

dadurch gekennzeichnet, dass

in einem ersten Schritt Rippen (3) aus Halbleitermaterial ausgebildet werden, die parallel zueinander im Abstand zueinander angeordnet sind, und eine Speicherschicht (5) jeweils auf einer Oberseite einer Rippe (3) aufgebracht wird,

in einem zweiten Schritt Oberflächen der Rippen mit einer als Gate-Dielektrikum vorgesehenen dünnen Dielektrikumschicht versehen werden und,

in einem dritten Schritt auf die Oberseite und auf Seitenwände der Rippe (3) ein für eine Gate-Elektrode (4) vorgesehenes Material aufgebracht wird,

in einem vierten Schritt zwischen die Rippen (3) ein Dielektrikum (6) eingebracht wird, in einem fünften Schritt unter Verwendung einer Maschentechnik das Material der Gate-Elektroden in Bereichen zwischen den Gate-Elektroden zu Wortleitungen rückgeätzt wird und Implantationen von Dotierstoff zur Ausbildung von Source-/Drain-Bereichen (8) in die Rippen eingebracht werden, in einem sechsten Schritt quer zu den Rippen verlaufende Bitleitungen (9) aus elektrisch leitfähigem Material hergestellt werden, die die Source-/Drain-Bereiche in einer Richtung quer zu den Wortleitungen elektrisch leitend miteinander verbinden.

---

Hierzu 4 Seite(n) Zeichnungen

---

FIG 1

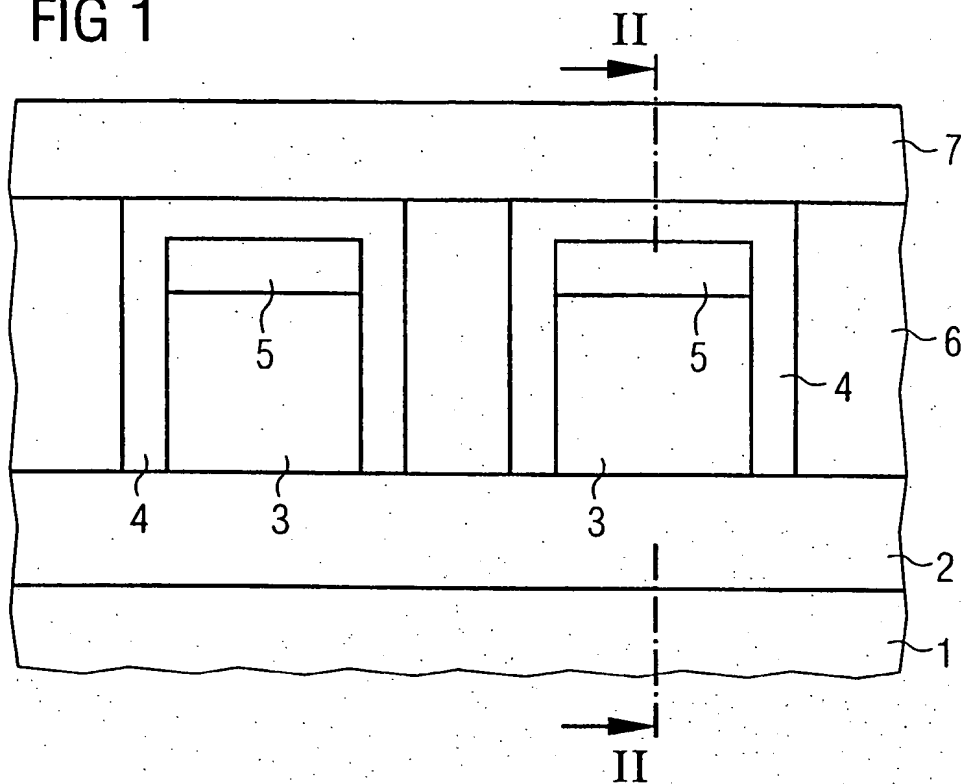
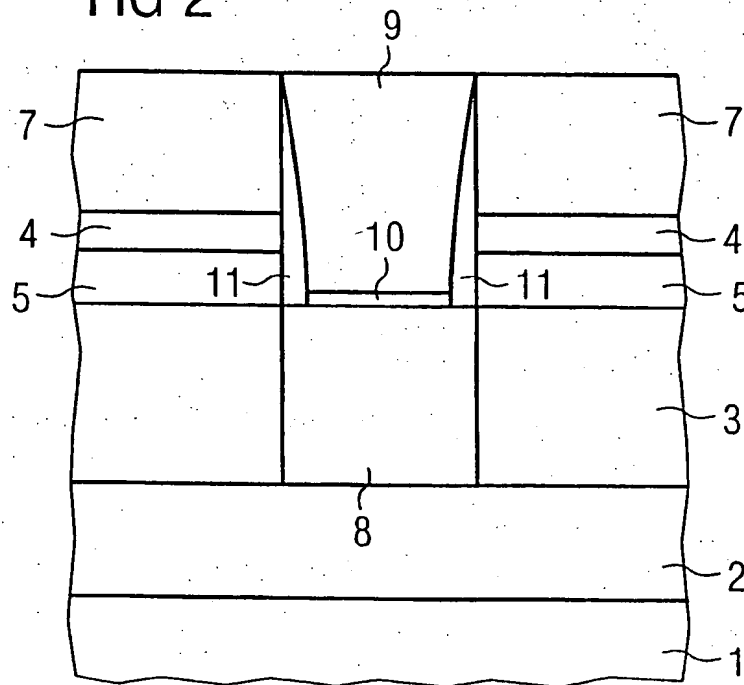


FIG 2



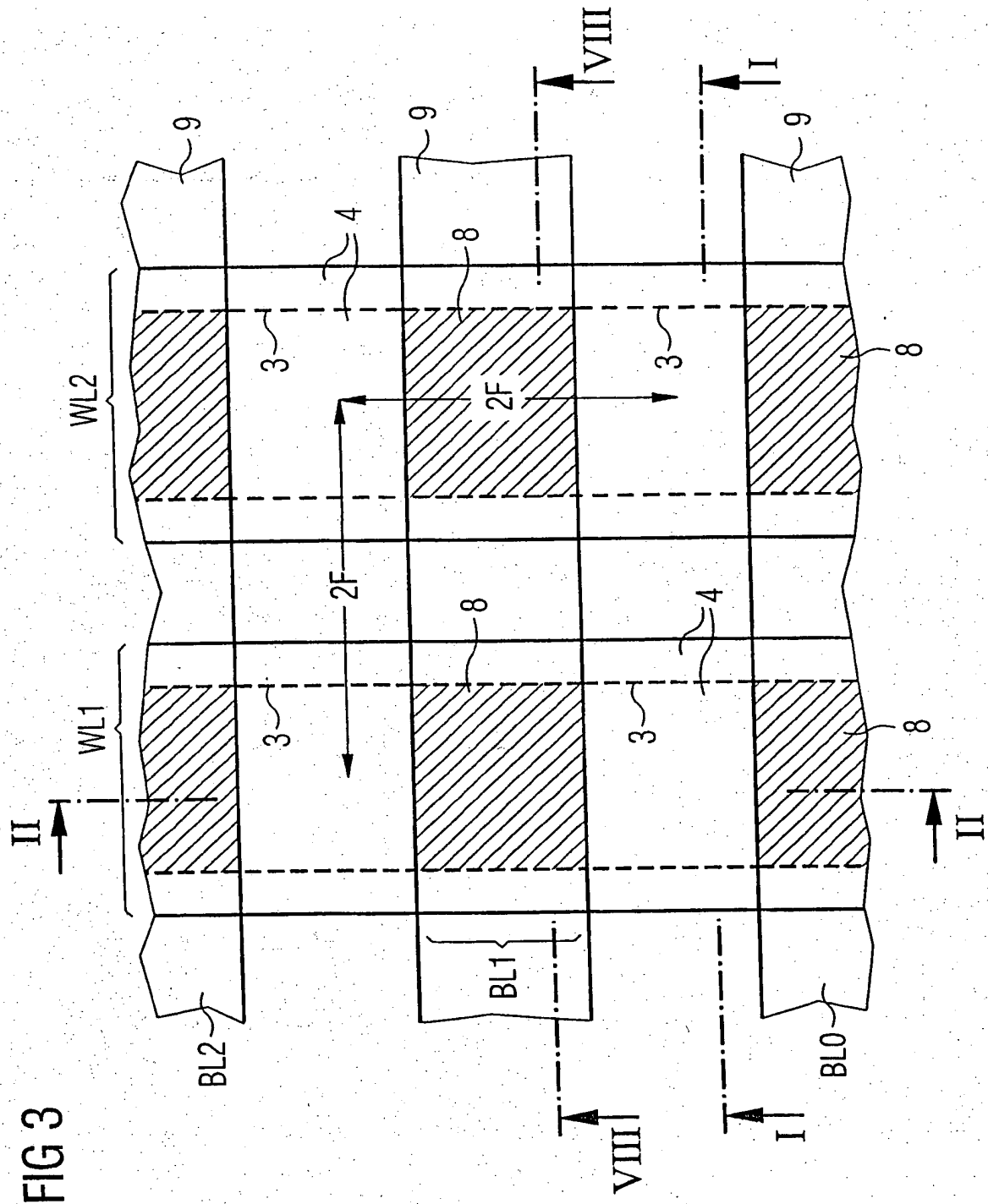


FIG 4

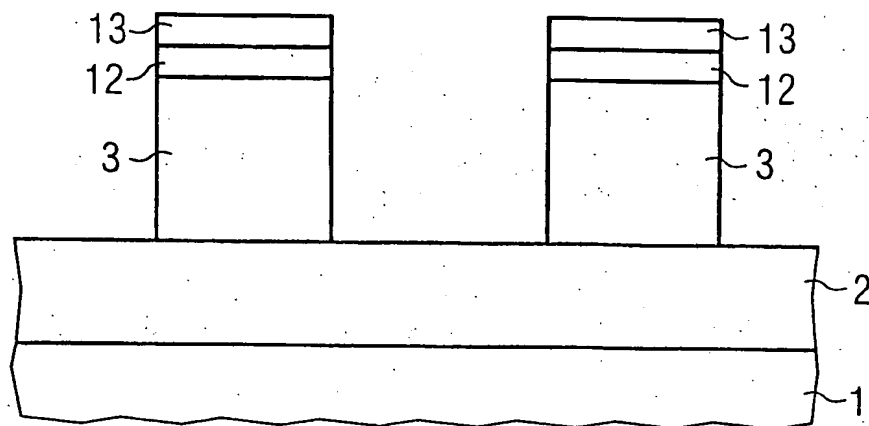


FIG 5

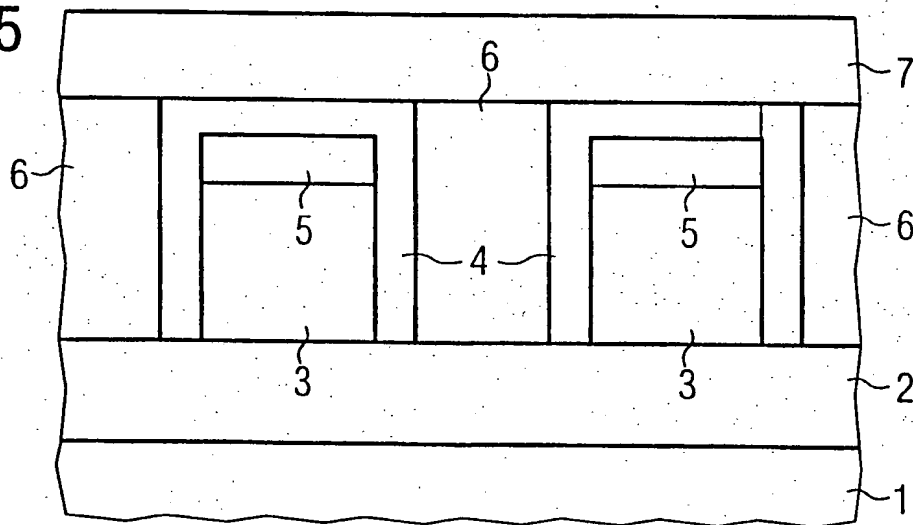


FIG 6

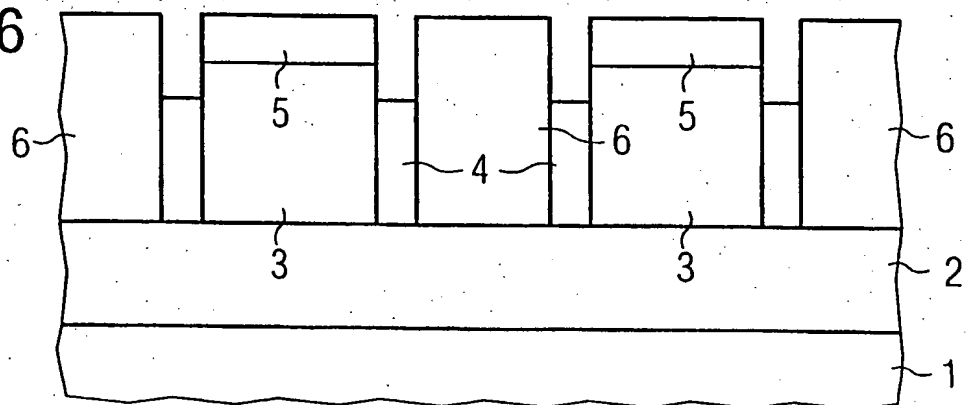


FIG 7

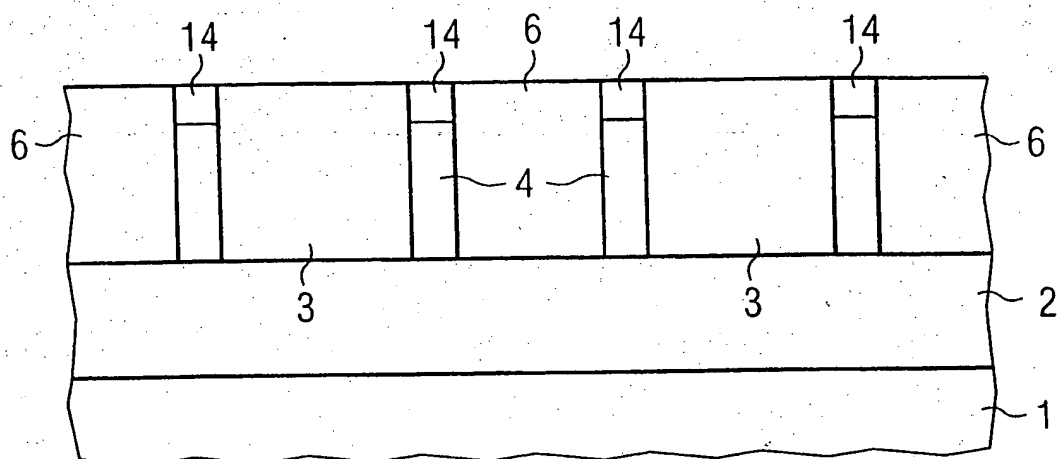


FIG 8

